

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-64751

(P2002-64751A)

(43) 公開日 平成14年2月28日 (2002.2.28)

(51) Int.Cl. ⁷	識別記号	F I	デコード* (参考)
H 0 4 N 5/335		H 0 4 N 5/335	P 4 M 1 1 8
			E 5 C 0 2 4
H 0 1 L 27/146		H 0 1 L 27/14	A

審査請求 未請求 請求項の数 4 O L (全 15 頁)

(21) 出願番号 特願2000-250602(P2000-250602)

(22) 出願日 平成12年8月22日 (2000.8.22)

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72) 発明者 舟木 正紀

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(74) 代理人 100085235

弁理士 松浦 兼行

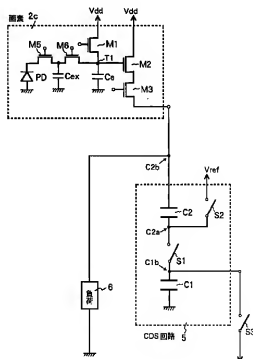
Fターム(参考) 4M118 AA01 AA05 AB01 BA14 CA02
DB01 DD09 DD10 DD11 DD12
FA06 FA08 FA33 FA39
50024 CX06 CX47 CX54 GY35 HX35
HX40

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 1個のフォトダイオードと、4個のトランジスタと、1個のコンデンサからなる画素構成の固体撮像装置では、フィールドシャッター機能とkTCノイズキャンセル機能のどちらか一方しか使用できない。

【解決手段】 トランジスタM1によるコンデンサC_eのリセット後に、電荷転送用トランジスタM5をオンとしてフォトダイオードPDで光電変換された電荷をコンデンサC_eに転送して蓄積させる。続いて、トランジスタM5をオフとすることを全画素同時に行ってから、同じ行の画素のトランジスタM1及びトランジスタM3をオンさせて所定電位をCDS回路5へ出力させる。続いて、トランジスタM6をオンとし、かつ、トランジスタM3をオンさせてコンデンサC_eに蓄積されたフィールドシャッター機能による電荷に対応した信号をCDS回路5へ出力させる。これにより、CDS回路5ではkTCノイズをキャンセルできる。



【特許請求の範囲】

【請求項1】 フォトダイオードと、前記フォトダイオードが光電変換して得られた電荷を電位変化に変換する変換部と、前記変換部をリセットするためのリセット用トランジスタと、前記変換部の電位を外部へ出力する出力手段とを備える画素が、二次元マトリクス状に又は一次元ライン状に複数配列されており、前記画素からの信号電圧と信号電圧が乗っていないバックグラウンドノイズのみの状態の2つをサンプリングして、その差を取る

ことによりノイズを除去するノイズキャンセラを備えた固体撮像装置において、
前記画素内において、前記フォトダイオードと前記変換部の間に電荷を一時蓄積するためのコンデンサを設け、前記コンデンサと前記フォトダイオードの間には第1の電荷転送用トランジスタを、前記コンデンサと前記変換部の間には第2の電荷転送用トランジスタをそれぞれ設け、

前記リセット用トランジスタによる前記変換部のリセット後に、信号の乗っていないバックグラウンドノイズのみの電位を前記出力手段で出力して前記ノイズキャンセラに保存した後、前記フォトダイオードで光電変換し前記第1の電荷転送用トランジスタを通して全画素同時に前記コンデンサに転送して蓄積しておいた電荷を前記第2の電荷転送用トランジスタを通して前記変換部へ転送し、その結果該変換部で生じた新たな電位を前記出力手段で前記ノイズキャンセラへ出力し、該ノイズキャンセラにおいて予め保存しておいた前記バックグラウンドノイズのみの電位との差分を取って、その差分を真の信号として取り出す制御手段を有することを特徴とする固体撮像装置。

【請求項2】 フォトダイオードと、前記フォトダイオードが光電変換して得られた電荷を電位変化に変換する変換部と、前記変換部をリセットするためのリセット用トランジスタと、前記変換部の電位を外部へ出力する出力手段とを備える画素が、二次元マトリクス状に又は一次元ライン状に複数配列されており、前記画素からの信号電圧と信号電圧が乗っていないバックグラウンドノイズのみの状態の2つをサンプリングして、その差を取ることによりノイズを除去するノイズキャンセラを備えた固体撮像装置において、

前記画素内に、前記フォトダイオードに接続された第1の電荷転送用トランジスタと、前記変換部に接続された第2の電荷転送用トランジスタと、前記第1及び第2の電荷転送用トランジスタの間に接近して設けられ、その直下に前記フォトダイオードからの電荷を蓄積するMOSゲートとを設け、

前記リセット用トランジスタにより前記変換部をリセットした後に、信号の乗っていないバックグラウンドノイズのみの電位を前記出力手段で出力して前記ノイズキャンセラに保存した後、前記フォトダイオードで光電変換

し前記第1の電荷転送用トランジスタを通して全画素同時に前記MOSゲートの直下に転送して蓄積しておいた電荷を前記第2の電荷転送用トランジスタを通して前記変換部へ転送し、その結果該変換部で生じた新たな電位を前記出力手段で前記ノイズキャンセラへ出力し、該ノイズキャンセラにおいて予め保存しておいた前記バックグラウンドノイズのみの電位との差分を取って、その差分を真の信号として取り出す制御手段を有することを特徴とする固体撮像装置。

10 【請求項3】 前記フォトダイオードと前記第1の電荷転送用トランジスタの接続点に、任意のタイミングでスイッチングされ、オン時に前記フォトダイオードをリセットする第2のリセット用トランジスタを接続したことを特徴とする請求項1又は2記載の固体撮像装置。

【請求項4】 フォトダイオードと、前記フォトダイオードに接続された第1のリセット用トランジスタと、前記フォトダイオードが光電変換して得られた電荷を電位変化に変換する変換部と、前記変換部をリセットするための第2のリセット用トランジスタと、前記変換部の電位を外部へ出力する出力手段とを備える画素が、二次元マトリクス状に又は一次元ライン状に複数配列されており、前記画素からの信号電圧と信号電圧が乗っていないバックグラウンドノイズのみの状態の2つをサンプリングして、その差を取ることによりノイズを除去するノイズキャンセラを備えた固体撮像装置であって、

前記画素内に、前記フォトダイオード及び第1のリセット用トランジスタに接続された第1の電荷転送用トランジスタと、前記変換部に接続された第2の電荷転送用トランジスタと、前記第1及び第2の電荷転送用トランジスタの間に接近して設けられ、その直下に前記フォトダイオードからの電荷を蓄積するMOSゲートとを設け、前記第1のリセット用トランジスタにより前記フォトダイオードをリセットした後に、前記第1のリセット用トランジスタをオフとし、かつ、前記MOSゲートの直下のポテンシャルを最大時と最小時の中間のレベルに設定するための第1の電圧を前記MOSゲートに印加している

40 状態で前記第1の電荷転送用トランジスタをオンとして、第1のシャッター時間、前記フォトダイオードで光電変換された電荷を前記MOSゲートの直下に転送して蓄積させてから前記第1の電荷転送用トランジスタをオフとし、再び前記第1のリセット用トランジスタにより前記フォトダイオードをリセットした後に、前記第1のリセット用トランジスタをオフとし、かつ、前記MOSゲートの直下のポテンシャルを前記第1の電圧よりも大きいレベルに設定するための第2の電圧を前記MOSゲートに印加している状態で前記第1の電荷転送用トランジスタをオンとして、前記第1のシャッター時間よりも短い第2のシャッター時間、前記フォトダイオードで光電変換された電荷を前記MOSゲートの直下に転送して蓄積させてから前記第1の電荷転送用トランジスタをオ

フとする制御手段を有することを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は固体撮像装置に係り、特に蓄積転送部を画素内に持ったCMOSイメージセンサに関する。

【0002】

【従来の技術】従来の固体撮像装置には、大きく分けてCCD方式とCMOSセンサ方式の2つがある。両者の違いは、光を電荷に変換するフォトダイオードではなく、フォトダイオードの電荷の情報を各受光素子の外に如何に伝えるかというところにある。

【0003】CCD方式は、フォトダイオードに発生した電荷を電荷転送素子(CCD: charge coupled device)により直接に外部へ転送する。一方、CMOSセンサ方式は、フォトダイオードに発生した電荷による電位の情報を、各フォトダイオードに対応して設けられたアンプを通して素子外部に出力する。このCMOSセンサ方式の画素構造は、通常のCMOS—LSIプロセスと殆ど同じプロセスで作成できるので、CMOS—LSI用のラインをそのまま使え、また、エリアセンサと他のCMOS回路を混在できるというメリットがある。

【0004】一方、CMOSセンサ方式にはCCD方式に比べて固定パターン雑音が大きめという問題点がある。固定パターン雑音は、主にアンプ用トランジスタのしきい値電圧のバラツキに起因している。

【0005】図7は従来の固体撮像装置の一例の構成図を示す。この従来の固体撮像装置は、最も一般的なCMOSイメージセンサを示しており、画素2₁₁～2₂₀等が二次元マトリクス状に配置されており、これらの画素2₁₁～2₂₀のうち、垂直シフトレジスタ1で、各行の(水平方向に配置されている)複数の画素の動作が、各行毎に(通常は上の行から下の行に向かう)制御され、各画素2₁₁～2₂₀からの信号は、負荷及びノイズキャンセラ3に入力され、ノイズキャンセル動作された後、水平シフトレジスタ4により順次トランジスタT1～T3がオンして、各列の信号が撮像信号として出力される。通常処理は、右の列から左の列に処理が進む。なお、行と列は逆に配置することも可能である。また、二次元マトリクス状ではなく1列の一次元ライン状に画素を配置することも可能である。

【0006】この従来の固体撮像装置、すなわち、従来のCMOSイメージセンサには画素と共にCDS回路と呼ばれるノイズキャンセラがない。これは画素の出力信号から信号が入っていない場合のバックグラウンド・ノイズ(主に画素のアンプ用トランジスタのしきい値電圧のバラツキ)を除去するためである。

【0007】図8はCMOSイメージセンサと呼ばれる従来の固体撮像装置の1画素分の一例の等価回路図を示

す。同図中、図7と同一構成部分には同一符号を付してある。図8において、一つの画素2aは一つのフォトダイオードPDDと、フォトダイオードPDDのN型層にソースが接続されたリセット用トランジスタM1と、フォトダイオードPDDのN型層にゲートが接続された増幅用トランジスタM2と、転送用トランジスタM3とからなる。トランジスタM1、M2及びM3は、MOS型電界効果トランジスタ(FET)で、通常はnチャネルのFETである。

【0008】トランジスタM2のソースは、スイッチ機能を持つトランジスタM3を通して2重相関サンプリング(CDS)回路5と負荷6に接続されており、トランジスタM3はソースフォロワ回路として動作する。CDS回路5は、2つのコンデンサC1及びC2と、2個のスイッチS1及びS2とから構成されており、コンデンサC1の非接地側端子がスイッチS1、コンデンサC2を直列に介してトランジスタM3のソースに接続され、コンデンサC2のスイッチS1側端子C2aがスイッチS2を介して基準電圧Vrefに接続され、コンデンサC1のスイッチS1側端子C1bがスイッチS3を介して信号出力線に接続されている。

【0009】CDS回路5と負荷6が図7の負荷及びノイズキャンセラ3のうち、画素1列分の回路構成部分である。CDS回路5は、画素からの信号電圧と信号電圧が乗っていないバックグラウンドノイズのみの状態の2つをサンプリングして、その差を取ることにによりノイズを除去するノイズキャンセラの役割をする。また、負荷6は、通常は定電流回路を用いる。

【0010】次に、この従来装置の動作について説明する。いま、図8中の画素2aは最上行、最下行でない、どこか中間の行のある列の画素であるとする。まず、トランジスタM1がオン、トランジスタM3がオフとされ、フォトダイオードPDDのN型層側の端子T1をリセット状態とする。このときの端子T1の電位は、リセット電圧(Vdd-Vthrst)になる。ここで、Vddは電源電圧、VthrstはトランジスタM1のしきい値電圧である。このリセット状態では、トランジスタM3がオフであるので、列信号線にこの画素2aからの出力はない。

【0011】次に、トランジスタM1をオフとした状態で、フォトダイオードPDDに被写体からの光を入射して光電変換を行わせる。これにより、フォトダイオードPDDには入射光量に応じた電荷が蓄積される。端子T1での容量Cpx1は、フォトダイオードPDDの容量Cpdと、トランジスタM2のゲート容量Campと、トランジスタM1の拡散容量Crstと、配線の浮遊容量Cfからなっている。フォトダイオードPDDに総電荷量Qが発生すると、 $\Delta V = Q / C_{px1}$ だけの電位変化がこの端子T1に起きる。一方、CDS回路5は、その間、他の行の画素の出力信号を処理している。

【0012】CDS回路5が注目している画素2aの前の行の画素（図示せず）の出力信号の処理を終了し、処理結果を、水平シフトレジスタ4により閉じたスイッチS3を通して出力すると、続いて、CDS回路5は注目している画素2aの処理を開始する。CDS回路5は、まず、自らのリセット動作を行う。

【0013】すなわち、スイッチS1、S2を閉じて端子C2aと、端子C1bの電位をリファレンス電位Vrefにする。この状態でトランジスタM3のゲートにハイレベルの電圧を印加してM3をオンにすると、フォトダイオードPDの端子T1の電位（ $V_{dd}-V_{thrs}t+\Delta V$ ）が、トランジスタM2で増幅され、更にトランジスタM3のドレイン、ソースを通して（ $V_{dd}-V_{thrs}t-V_{thamp}+\Delta V$ ）の電位が列信号線（つまり端子C2b）に出力される。これにより、コンデンサC2には、（ $V_{dd}-V_{thrs}t-V_{thamp}+\Delta V-V_{ref}$ ）の電位差がかかる。ここで、 V_{t*}

$$V_{ref}-\{\Delta V \cdot C1 / (C1+C2)\} \quad (1)$$

となる。この後、スイッチS1を開いてオフとし、コンデンサC1に処理結果を保持し待機する。その後、トランジスタM3がオフになり、画素2aからの出力はなくなる。続いて、図7の水平シフトレジスタ4により、あるタイミングでスイッチS3が閉じられ、コンデンサC1に保持されていた、（1）式の処理結果が画素信号として出力される。その後、スイッチS3が開いてオフとされ、最初のリセット状態に戻る。各画素についても上記と同様の動作が行われる。

【0016】しかし、図8のCMOSイメージセンサでは、シャッター機能が問題となる。すなわち、CCDでは、ある瞬間に一気にキャリアをフォトダイオードから転送領域に移すので、CCDから得られる画像情報は1画面内のすべての画素に同時性があり、CCDは本質的にシャッター機能を持っている。

【0017】これに対して、図8のCMOSイメージセンサは、行毎に順番に読み出しているため、この情報により作成した画像は、行毎に違う時間を持っている。従って、静止画を取り出すと、歪んだ画像になってしまう。このような時間的にずれた画像のシャッターをローリングシャッターということが多い。

【0018】一方、時間的に揃った静止画を作るシャッターをフィールドシャッターということが多い。ローリングシャッターの機能しかない図8の構成の従来のCMOSイメージセンサでフィールドシャッター機能を持たせる一つの方法は、機械的なシャッターを設けることである。すなわち、機械的なシャッターを素子以外に設けて、ある特定の時間だけシャッターを開けばよい。しかしこの方法では、コストが高くなるし、動画の撮影は困難である。

【0019】フィールドシャッター機能付きとするには、ある瞬間の画像情報を全画素で同時に取り出すス

* hampはトランジスタM2のしきい値電圧である。

【0014】続いて、スイッチS2を開き、トランジスタM1のゲートにリセット電圧を印加してM1をオンとする。すると、フォトダイオードPDの端子T1の電位は、（ $V_{dd}-V_{thrs}t$ ）となるから、端子C2bの電位は（ $V_{dd}-V_{thrs}t-V_{thamp}$ ）となる。これにより、端子C2bは（ $V_{dd}-V_{thrs}t-V_{thamp}$ ）→（ $V_{dd}-V_{thrs}t-V_{thamp}+\Delta V$ ）→ ΔV だけ電位が変化しただけになる。これは、フォトダイオードPDの端子T1側の電圧変化分に等しい。従って、フォトダイオードPDの光電変換による電圧変化分だけが上記の一連の動作により純粋に取り出されたことになる。

【0015】この結果、端子C2a（＝端子C1b）の電位は、電圧変化分 ΔV がコンデンサC1、C2が直列につながった比例成分だけ変化する。つまり、

ッチと、それを一時的に貯える蓄積部を持つことが不可欠である。そこで、通常は図9のように画素部にトランジスタM4と容量C_eを加えて実現する。同図中、図8と同一構成部分には同一符号を付し、その説明を省略する。図9において、画素2bは、図8の画素2aに、更にフォトダイオードPDのN型層と端子T1の間にドレイン、ソースが接続されたMOS型トランジスタM4と、端子T1に一端が接続され、他端が接地された調整用コンデンサC_eを更に追加した点に特徴がある。トランジスタM4がシャッター機能、コンデンサC_eが蓄積機能を受け持つ。なお、コンデンサC_eは、トランジスタM2のゲート容量などで十分な場合があり、その場合はコンデンサC_eを特に設ける必要はない。このような構成にした場合の、動作を以下に示す。

【0020】画素2bは画素部の最上行、最下行でない、どこか中間の行のある列の画素であるとする。画素の動作のサイクルを説明するにあたって、いま前回の情報の出力が終わったところであるとする。この状態では、トランジスタM1、M3、M4はオフになっている。この時の端子T1の電位は（ $V_{dd}-V_{thrs}t$ ）になっている。ここで、 V_{dd} は電源電圧、 $V_{thrs}t$ はトランジスタM1のしきい値電圧である。このとき、端子T1はどこにもつながっておらず、電気的に浮いているので、リセット電位のままである。また、トランジスタM3がオフであるので、列信号線に画素2bからの出力はない。一方、トランジスタM4もオフとなっており、そのため端子T1と電気的に切り離されているフォトダイオードPDでは光電変換が行われている。画素2bは、こうして光電変換を実行しつつ、自分より下のすべての行の画素の情報を読み出されるまで待っている。

【0021】こうして、すべての画素の信号が読み出され、光電変換開始後から所定の時間が経つと、全画素の

トランジスタM4が一斉にオンする。すると、フォトダイオードPDのN型層側に蓄積されていた電荷は、全画素で同時に端子T1に転送される。この結果、フォトダイオードPDの電荷はなくなり、PDはリセットされる。転送が終了すると、トランジスタM4はオフになり、再びフォトダイオードPDは光電変換を開始する。

【0022】端子T1の容量Cpx1は、コンデンサC_eとトランジスタM2のゲート容量C_{amp}と、トランジスタM1の拡散容量C_{rst}と、配線の浮遊容量C_fとからなっている。従って、転送された総電荷量がQとすると、 $\Delta V = Q / C_{px1}$ だけの電位変化が端子T1に起こる。なお、転送されるキャリアは電子なので、電荷Qは負の値であり、従って、 ΔV も負の値である。端子T1の電位は、電荷転送前は $(V_{dd} - V_{thrst})$ であったから、電荷転送後は $(V_{dd} - V_{thrst} + \Delta V)$ となる。

【0023】全画素で電荷の転送が終了すると、CDS回路5が行毎に信号処理を行う。他の行の処理をしている間、注目している画素2bは電荷を端子T1に接続されたコンデンサCに保持したまま待機する。そして、CDS回路5は注目している画素2bの処理を開始する。まず、自らのリセット動作を行う。すなわち、前述したように、スイッチS1、S2を開いて、端子C2aと端子C1bの電位をリファレンス電位V_{ref}にする。この時、スイッチS3は開いてオフになっている。この状態でトランジスタM3のゲートにハイレベルの電圧を印加してM3をオンにすると、列信号線（つまり、端子C2b）に $(V_{dd} - V_{thrst} - V_{thamp} + \Delta V)$ の電位が出力される。これにより、コンデンサC2には、 $(V_{dd} - V_{thrst} - V_{thamp} + \Delta V - V_{ref})$ の電位差がかかる。

【0024】続いて、スイッチS2を閉きオフにすると、端子C2a（＝端子C1b）ははじにもつながっていないので、電気的に浮いた状態になる。ここで、トランジスタM1を一旦オンにし、所定時間後にオフにして、端子T1をリセットする。すると、端子T1の電位は、 $(V_{dd} - V_{thrst})$ となるから、端子C2bの電位は $(V_{dd} - V_{thrst} - V_{thamp})$ となる。従って、端子C2bの電位は、 $(V_{dd} - V_{thrst} - V_{thamp}) - (V_{dd} - V_{thrst} - V_{thamp} + \Delta V) = -\Delta V$ だけ変化したことになる。これは、フォトダイオードPDに発生した電荷量Qに比例した成分である。従って、フォトダイオードPDの光電変換による信号分だけが上記の一連の動作により純粋に取り出せたことになる。

【0025】この結果、端子C2a（＝端子C1b）の電位は、変化分 $-\Delta V$ がコンデンサC1、C2が直列につながった比例成分だけ変化する。つまり、前記（1）式と同じ値だけ変化する。この後、スイッチS1を開いてオフとし、コンデンサC1に処理結果を保持し待機す

る。その後、トランジスタM3がオフになり、画素2bからの出力はなくなる。続いて、図7の水平シフトレジスタ4により、あるタイミングでスイッチS3が閉じられ、コンデンサC1に保持されていた、（1）式の処理結果が画素信号として出力される。その後、スイッチS3が開いてオフとされ、最初の状態に戻る。こうして一連の処理の1サイクルが完了し、以下同様の動作が繰り返される。

【0026】

10 【発明が解決しようとする課題】しかるに、上記の図9に示した従来の固体撮像装置である、フィールドシャッター機能付きCMOSイメージセンサには、重大な問題点がある。すなわち、図9の従来装置では、フォトダイオードPDの電荷は、予めリセットされた端子T1に転送され、それが電位を発生させ画素外に出力した後、再びリセットしてキャンセルのための基準のレベルとしている。つまり、信号を出力するときと、バックグラウンドを出力するときとで、異なるタイミングのリセット動作を用いている。このように別のタイミングのリセット動作による電圧を比較すると、kTCノイズが除去されないという問題がある。

【0027】このkTCノイズとは、電子の熱運動に起因する雑音である。例えば、図10のように、ある容量Cの電位をある電位Vにするということは、その容量Cに電荷qの電子を所定の数n個だけ与える（または取り除く）ということである。その数nは次のように表わせる。

【0028】

$$n = V / (C \cdot q) \quad (2)$$

30 具体的な動作としては、図10に示すように、容量Cを電圧Vの電源に抵抗R及びスイッチS4を介してつなぎ、スイッチS4を閉じて、十分長い時間が経ってからスイッチS4を開くと、容量Cには上記の数の電子が蓄えられて、両端は電圧Vになっている。

【0029】しかし、実際には電子がランダムに熱運動をしているために、スイッチS4を閉じている間、容量Cにある電子数は、ある時は電子の数がnより多くなり、別の時はnより小さいというふうに、時間的にバラツキがある。このため、スイッチS4を開いてオフになると、そのとき容量Cに残った電子数は、偶然によってnより多かったり少なかったりすることになる。このバラツキはkTCノイズと呼ばれる雑音となって現れる。kTCとはk：ボルツマン定数、T：絶対温度、C：容量のことであり、その雑音レベルV_iはrmsで $V_i = \sqrt{(kT/C)}$ (3)

と表わされる。（3）式から分かるように、この雑音レベルV_iは、温度と容量のみに依存しているのが特徴である。

【0030】従って、図9のCMOSイメージセンサの端子T1において、2つの異なったリセットのタイミン

グのものを比較すると、それぞれ異なった雑音レベル V_{i1} と V_{i2} が残り、キャンセルできない。これらの雑音レベル V_{i1} と V_{i2} には相関はなく、このような無相関のものを比較する場合、 kTC ノイズは $\sqrt{2}$ 倍され、

$$V_{i1}' = \sqrt{(2kTC/C)} \quad (4)$$

となる。

【0031】上記の(3)式及び(4)式から分かるように、 kTC ノイズは容量が小さいほど大きくなる。このため、図8、図9の構成では画素を微細化していくと、次第に C_{px1} を大きくとれなくなり、 kTC ノイズが大きくなる。

【0032】ここで、 kTC ノイズを定量的に見積もってみる。例えば、端子 $T1$ の容量 C_{px1} が $8fF$ になったとする。この $8fF$ という数値は、画素サイズが $5\mu m$ 以下になった場合、現実味を帯びた数値である。このとき、 kTC ノイズ分 V_{i1}' は $T=300^\circ K$ の室温で約 $1mV$ になる。信号の最大振幅が $2V$ でノイズが kTC ノイズだけとすると、上記のフィールドシャッター機能付き CMOS イメージセンサの S/N 比は $46dB$ となる。CCD 方式の S/N 比は $60dB$ 以上といわれているので、 kTC ノイズだけ、CCD 方式に比較してかなり性能が劣ることが分ける。

【0033】前記の図8の最も簡単な構造の CMOS イメージセンサ構成の場合には、端子 $T1$ の容量には、フォトダイオード PD の容量 C_{pd} がかなり大きいので、問題は図9の構成の場合より小さい。しかし、図8の構成では kTC ノイズを除去するのは不可能である。

【0034】一方、図9の構成の従来の CMOS イメージセンサでは微細化していくと、トランジスタの数が図8の構成より多いこともあり、端子 $T1$ に大きな容量を次第に割けなくなる。従って、 kTC ノイズを抑制する必要性は図9の構成の方が高い。この図9の構成では、フィールドシャッターでなく、ローリングシャッター動作を行えば、 kTC ノイズを除去できる。

【0035】図9の構成でローリングシャッター動作は以下のように行う。まず、トランジスタ $M4$ 、 $M3$ はオフとする。このとき、列信号線 $C2b$ にこの画素 $2b$ からの出力はない。この時、画素 $2b$ のフォトダイオード PD に光が入射されて光電変換が行われ、フォトダイオード PD に電荷が蓄積される。また、CDS 回路5は他の行の素子の信号を処理している。

【0036】次に、注目している行の処理が始まる。トランジスタ $M1$ がオンし、端子 $T1$ が $(V_{dd} - V_{th} - V_{rst})$ にリセットされる。その後、トランジスタ $M1$ はオフされる。続いて、トランジスタ $M3$ がオンとされる。このとき、トランジスタ $M4$ はオフのままである。これにより、端子 $T1$ がリセットされたときの信号 $(V_{dd} - V_{th} - V_{rst} - V_{thamp})$ が列信号線に出力される。CDS 回路5においては、スイッチ $S1$ 及び S

2 を閉じ、コンデンサ $C2$ に $(V_{dd} - V_{th} - V_{rst} - V_{thamp} - V_{ref})$ の電位差を保存する。

【0037】次に、スイッチ $S2$ を開きオフとする。続いて、トランジスタ $M4$ をオンとする。これにより、フォトダイオード PD の電荷がトランジスタ $M4$ のドレイン、ソースを通して端子 $T1$ に流れ込む。端子 $T1$ の容量 C_{px1} は、コンデンサ $C2$ と、トランジスタ $M2$ のゲート容量 C_{amp} と、トランジスタ $M1$ の拡散容量 C_{rst} と、配線の浮遊容量 C_f からなる。フォトダイオード PD の総電荷量を Q とすると、 $\Delta V = Q / C_{px1}$ だけの電位変化がこの端子 $T1$ に起きる。この端子 $T1$ の電位は、トランジスタ $M2$ で増幅され、オンであるトランジスタ $M3$ を通じて、 $(V_{dd} - V_{th} - V_{rst} - V_{thamp} + \Delta V)$ として列信号線に出力される。

【0038】これにより、端子 $C2b$ の電位の変化は $(V_{dd} - V_{th} - V_{rst} - V_{thamp} + \Delta V) - (V_{dd} - V_{th} - V_{rst} - V_{thamp}) = +\Delta V$ となるから、それに比例した電位 $V_{ref} + (\Delta V \cdot C1 / (C1 + C2))$ が端子 $C1b$ に現れる。この電位が水平シフトレジスタ4へ出力される。その後、トランジスタ $M3$ をオフとし、最初のリセット状態とする。

【0039】このようにすると、リセットは1回しか行わず、同じリセット動作の中で信号からバックグラウンドノイズを除去するので、 kTC ノイズも除去できることになる。このような特性があるので、図9のような構成は、フィールドシャッター動作のためというよりも、雑音の少ないローリングシャッター動作で用いられることが多い。

【0040】このように、図8及び図9のいずれの従来の固体撮像装置でも、フォトダイオード PD の光電荷変換機能部、電荷一時蓄積機能部、電荷電圧変換機能部がそれぞれ独立していなかったため、図8のような1個のフォトダイオード PD と、3個のトランジスタ $M1 \sim M3$ からなる画素構成の固体撮像装置では、上記3つの機能部が一体になっていて、構成上非常にシンプルであるという長長がある反面、その結果としてフィールドシャッター機能及び kTC ノイズキャンセル機能を実現できず、時間的に揃った高画質の静止画を得ることができないという問題がある。

【0041】また、図9に示した1個のフォトダイオード PD と、4個のトランジスタ $M1 \sim M4$ と、1個のコンデンサ $C2$ からなる画素構成の固体撮像装置では、フィールドシャッター機能により時間的に揃った静止画を得ることができる反面、フィールドシャッター機能と kTC ノイズキャンセル機能のどちらか一方しか使用できないという問題がある。

【0042】本発明は以上の点に鑑みなされたもので、フィールドシャッター機能と kTC ノイズキャンセル機能を同時に実現し得る固体撮像装置を提供することを目的とする。

【0043】また、本発明の他の目的は、フォトダイオードの面積を小さくして微細化に有利な構成の固体撮像装置を提供することにある。

【0044】

【課題を解決するための手段】本発明は上記の目的を達成するため、フォトダイオードと、フォトダイオードが光電変換して得られた電荷を電位変化に変換する変換部と、変換部をリセットするためのリセット用トランジスタと、変換部の電位を外部へ出力する出力手段とを備える画素が、二次元マトリクス状に又は一次元ライン状に複数配列されており、画素からの信号電圧と信号電圧が乗っていないバックグラウンドノイズのみの状態の2つをサンプリングして、その差を取ることにによりノイズを除去するノイズキャンセラを備えた固体撮像装置において、画素内において、フォトダイオードと変換部の間に電荷を一時的蓄積するためのコンデンサを設け、コンデンサとフォトダイオードの間には第1の電荷転送用トランジスタを、コンデンサと変換部の間には第2の電荷転送用トランジスタをそれぞれ設け、リセット用トランジスタを用いて変換部のリセット後に、信号の乗っていないバックグラウンドノイズのみの電位を出力手段で出力してノイズキャンセラに保存した後、フォトダイオードで光電変換し第1の電荷転送用トランジスタを通して全画素同時にコンデンサに転送して蓄積しておいた電荷を第2の電荷転送用トランジスタを通して変換部へ転送し、その結果変換部で生じた新たな電位を出力手段でノイズキャンセラへ出力し、ノイズキャンセラにおいて予め保存しておいたバックグラウンドノイズのみの電位との差分を取って、その差分を真の信号として取り出す制御手段を有する構成としたものである。

【0045】この発明では、全画素のフォトダイオードで同時に光電変換して得られた電荷をコンデンサに蓄積した後、出力手段を通して外部へ出力する際に、リセット用トランジスタ及び出力手段を動作させて信号の乗っていないバックグラウンドノイズのみの電位をノイズキャンセラへ送出して保存させてから、コンデンサに蓄積された電荷に対応した信号を変換部から出力手段を通してノイズキャンセラへ出力することにより、ノイズキャンセラにおいてフォトダイオードの光電変換によって生じた電荷に比例した信号成分だけを取り出すことができる。

【0046】また、上記の目的を達成するため、本発明は、画素内に、フォトダイオードに接続された第1の電荷転送用トランジスタと、変換部に接続された第2の電荷転送用トランジスタと、第1及び第2の電荷転送用トランジスタの間に接近して設けられ、その直下にフォトダイオードからの電荷を蓄積するMOSゲートとを設け、リセット用トランジスタにより変換部をリセットした後に、信号の乗っていないバックグラウンドノイズのみの電位を出力手段で出力してノイズキャンセラに保存

した後、フォトダイオードで光電変換し第1の電荷転送用トランジスタを通して全画素同時にMOSゲートの直下に転送して蓄積しておいた電荷を第2の電荷転送用トランジスタを通して変換部へ転送し、その結果変換部で生じた新たな電位を出力手段でノイズキャンセラへ出力し、ノイズキャンセラにおいて予め保存しておいたバックグラウンドノイズのみの電位との差分を取って、その差分を真の信号として取り出す制御手段を有する構成としたものである。

【0047】この発明では、全画素のフォトダイオードで同時に光電変換して得られた電荷をMOSゲート直下に蓄積した後、出力手段を通して外部へ出力する際に、リセット用トランジスタ及び出力手段を動作させて信号の乗っていないバックグラウンドノイズのみの電位を出力手段で出力してノイズキャンセラに保存させてから、MOSゲートの直下に蓄積された電荷に対応した信号を変換部から出力手段を通してノイズキャンセラへ出力することにより、ノイズキャンセラにおいてフォトダイオードの光電変換によって生じた電荷に比例した信号成分だけを取り出すことができる。

【0048】ここで、フォトダイオードと第1の電荷転送用トランジスタの接続点に、任意のタイミングでスイッチングされ、オン時にフォトダイオードをリセットする第2のリセット用トランジスタを接続することにより、任意のタイミングでフォトダイオードのリセットができる。

【0049】また、上記の目的を達成するため、本発明は、フォトダイオードと、フォトダイオードに接続された第1のリセット用トランジスタと、フォトダイオードが光電変換して得られた電荷を電位変化に変換する変換部と、変換部をリセットするための第2のリセット用トランジスタと、変換部の電位を外部へ出力する出力手段とを備える画素が、二次元マトリクス状に又は一次元ライン状に複数配列されており、画素からの信号電圧と信号電圧が乗っていないバックグラウンドノイズのみの状態の2つをサンプリングして、その差を取ることにによりノイズを除去するノイズキャンセラを備えた固体撮像装置であって、画素内に、フォトダイオード及び第1のリセット用トランジスタに接続された第1の電荷転送用トランジスタと、出力手段の一端が接続された第2の電荷転送用トランジスタと、第2の電荷転送用トランジスタ及び出力手段にそれぞれ接続された第2のリセット用トランジスタと、第1及び第2の電荷転送用トランジスタの間に接近して設けられ、その直下にフォトダイオードからの電荷を蓄積するMOSゲートとを各画素のそれぞれに設け、第1のリセット用トランジスタによりフォトダイオードをリセットした後に、第1のリセット用トランジスタを最大とし、かつ、MOSゲートの直下のポテンシャルを最適と最小時の中間のレベルに設定するための第1の電圧をMOSゲートに印加している状態で第

1の電荷転送用トランジスタをオンとして、第1のシャッター時間、フォトダイオードで光電変換された電荷をMOSゲートの直下に転送して蓄積させてから第1の電荷転送用トランジスタをオフとし、再び第1のリセット用トランジスタによりフォトダイオードをリセットした後に、第1のリセット用トランジスタをオフとし、かつ、MOSゲートの直下のボテンシャルを第1の電圧より大きいレベルに設定するための第2の電圧をMOSゲートに印加している状態で第1の電荷転送用トランジスタをオンとして、第1のシャッター時間よりも短い第2のシャッター時間、フォトダイオードで光電変換された電荷をMOSゲートの直下に転送して蓄積させてから第1の電荷転送用トランジスタをオフとする制御手段を有する構成としたものである。

【0050】この発明では、長い方の第1のシャッター時間でフォトダイオードで光電変換した電荷に、短い方の第2のシャッター時間でフォトダイオードで光電変換した電荷を、MOSゲートの直下で足し合わせることできる。

【0051】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。図1は本発明になる固体撮像装置の第1の実施の形態の1画面回路の等価回路図を示す。同図中、図8、図9と同一構成部分には同一符号を付してある。図1に示す第1の実施の形態では、画素2cを図9の画素2bに比べてMOS型電界効果トランジスタ(FET)とコンデンサをそれぞれ1つ追加し、1フォトダイオード、5トランジスタ、2キャパシタ構成にしたものである。すなわち、画素2cは、フォトダイオードPDのN型層側が、トランジスタM5のドレイン、ソース、トランジスタM6のドレイン、ソースを介してリセット用トランジスタM1のソースとトランジスタM2のゲートにそれぞれ接続点(端子)T1で接続されている。

【0052】また、トランジスタM5とM6の共通接続点は、コンデンサCexを介して接地されている。更に、端子T1はコンデンサCeを介して接地されている。更に、トランジスタM2のソースは出力用トランジスタM3のドレイン、ソースを介してCDS回路5と負荷6にそれぞれ接続されている。なお、コンデンサCexは例えばp基板表面に作ったN⁺拡散層で構成する。また、コンデンサCeは、端子T1の容量Cpx1がトランジスタM2のゲート容量Camp、トランジスタM1の拡散容量Crst、配線の浮遊容量Cfの合計で十分な場合は、特に設ける必要はない。端子T1の容量Cpx1は、コンデンサCeと共に前述した電荷を電圧に変換する変換部を構成している。

【0053】次に、この実施の形態の動作について説明する。ここで、画素2cは画素部の最上行、最下行でない、どこか中間の行のある列の画素であるとする。ま

た、各トランジスタM1、M3、M5及びM6のスイッチング制御は図示しない制御回路からの信号に基づき行われる。

【0054】動作サイクル説明の出発点として、この画素2cからの前回の信号の出力が終ったばかりであるところから始める。この状態では、トランジスタM1、M6はオフであり、端子T1は電気的に浮いた状態にある。端子T1には前回のサイクルで、フォトダイオードPDが光電変換し、トランジスタM5、M6を通して転送されてきた電荷がそのまま残っている。トランジスタM3もオフとなっており、この画素2cから列信号線への出力はない。

【0055】一方、トランジスタM5もオフとなっており、フォトダイオードPDは電気的に他から分離された状態で光電変換を行い、電荷を蓄積している。また、コンデンサCexにあった電荷は、トランジスタM6を通して端子T1に転送されており、コンデンサCexには電荷が無い状態である。

【0056】このような状態で、画素2cはCDS回路5が他の行の画素の処理を終了するのを待っている。すべての画素からの信号読み出しが終了すると、トランジスタM5が画素2cを含めた全画素で一斉にオンする。すると、フォトダイオードPDに蓄積されていた電荷Qは全画素で同時に、それぞれのトランジスタM5を通してそれぞれのコンデンサCexに転送される。この結果、フォトダイオードPDの電荷は無くなり、リセットされる。電荷転送終了後、トランジスタM5もオフとされ、再びフォトダイオードPDは光電変換して電荷の蓄積を開始する。

【0057】その後、画素2cはCDS回路5が他の行の画素の処理をしている間、待機する。注目している画素2cの処理が始まると、画素2cは端子T1のリセット動作を行う。つまり、図示していない制御回路からのハイレベルの信号がトランジスタM1のゲート電極に印加され、M1をオンにする。この時、トランジスタM3、M6はオフのままである。その結果、端子T1の電位は(Vdd-Vthrst)となる。ここで、Vddは電源電圧、VthrstはトランジスタM1のしきい値電圧である。

【0058】その後、トランジスタM1のゲート電極への信号がローレベルとなり、M1がオフとされる。これにより、端子T1は電気的に浮いた状態に戻り、リセット動作が完了する。この時、端子T1にはkTCノイズ成分Vktcが乗るので、端子T1の電位は(Vdd-Vthrst+Vktc)となる。Vktcは従来技術の説明中には明示していなかったが、この実施の形態により除去できることを明らかにするために示すこととする。

【0059】一方、CDS回路5でも画素2cの信号処理をするための準備を行う。すなわち、スイッチS1、

S2を閉じ、端子C2a、C1bを基準電位Vrefにする。この状態でトランジスタM3のゲート電極へ図示しない制御回路からハイレベルの信号が印加されることにより、M3がオンとされるため、列信号出力線、つまり端子C2bには $(V_{dd}-V_{thrs}+V_{k}t c-V_{thamp})$ の電位が出力される。ここで、Vthampは増幅用トランジスタM2のしきい値電圧である。この結果、コンデンサC2には $(V_{dd}-V_{thrs}+V_{k}t c-V_{thamp}-V_{ref})$ の電位差がかかる。

【0060】次に、CDS回路5はスイッチS2を開きオプとし、端子C2a(=端子C1b)を浮いた状態にする。ここで、トランジスタM6がそのゲート電極に図示しない制御回路からハイレベルの信号が印加されることによりオンとされる。すると、コンデンサCexに保持されていた電荷QがトランジスタM6を通して端子T1へ転送される。電荷転送完了後トランジスタM6はオプとされる。この結果、コンデンサCexには電荷が無くなり、リセットされた状態となる。

【0061】一方、端子T1に電位VQによる電位変化10が生じる。端子T1の容量Cpx1は、コンデンサCexの容量と、トランジスタM2のゲート容量Campと、トランジスタM1の拡散容量Cstと、配線の浮遊容量Cfとからなっているが、ここに電荷Qが入ることにより、 $\Delta V=Q/C_{px1}$ の電位変化が発生する。従って、端子T1の電位は、 $(V_{dd}-V_{thrs}+V_{k}t c+\Delta V)$ となる。

【0062】端子T1に電位変化が起ると、それはトランジスタM2によるソースフォロワ回路により増幅され、更にオン状態にあるトランジスタM3を通して列信号出力線、つまり端子C2bへ伝えられる。これにより、端子C2bの電位は、 $(V_{dd}-V_{thrs}+V_{k}t c-V_{thamp}+\Delta V)$ となる。つまり、端子C2bに生じた電位変化は、 $(V_{dd}-V_{thrs}+V_{k}t c-V_{thamp}+\Delta V)-(V_{dd}-V_{thrs}+V_{k}t c-V_{thamp})=\Delta V$ で、フォトダイオードPDの光電変換による電荷量Qによる成分のみの影響しか受けておらず、kTCノイズの影響も無い。

【0063】この端子C2bの電位変化に応じて、電気的に浮いた状態である端子C2a(=端子C1b)は、コンデンサC1、C2が直列につながった比例分Vref+ $[\Delta V \cdot C1/(C1+C2)]$ の電位変化が生じる。その後、スイッチS1を開いてオプとし、コンデンサC1に上記の電位変化である処理結果を保持する。そして、トランジスタM3がオプとされて画素2cからの出力が無くなる。その後、図示しない水平シフトレジスタによりスイッチS3がオンとされ、コンデンサC1に保持されていた画素2cの処理結果がスイッチS3を通して画素信号として出力される。続いて、スイッチS316

クルが一つ終了する。後は再び最初から同じことが繰り返される。

【0064】なお、上記の実施の形態の動作の説明は一例であり、これに限定されるものではない。例えば、端子T1のトランジスタM1によるリセットは、上記の説明では端子T1のリセット電位を出力する直前にしているが、これに限定されるものではなく、前回の信号出力が終わってから、次の信号出力動作までのどこかで1回行えばよい。例えば、前回の信号出力が終わった直後にトランジスタM1をオンにし、真先に端子T1のリセット動作を行うようにしてもよい。

【0065】また、コンデンサCexのリセットは、上記の説明ではCexの蓄積電荷を完全に転送することにより行っているが、蓄積電荷が多すぎると転送しきれず、Cexに電荷が残る現象が生じ、残像となる可能性がある。このため、トランジスタM5をオンして、フォトダイオードPDからコンデンサCexに電荷を転送する前に、一度トランジスタM1及びM6をオンして、コンデンサCexを強制的にリセットする動作を行うようにしてもよい。

【0066】このように、本実施の形態によれば、CDS回路5内でフォトダイオードPDの電荷転送による信号中からバックグラウンドノイズである $(V_{dd}-V_{thrs}+V_{thamp}+V_{k}t c)$ が除去されて、フォトダイオードPDの光電変換によって生じた総電荷量Qに比例した電圧変化分 ΔV が純粋に列信号出力線C2bに取り出せるので、kTCノイズのキャンセル機能を実現することができる。

【0067】また、電荷を所定の時間だけコンデンサCexに保持することも可能である。更に、この実施の形態では、フォトダイオードPDを含む全画素のフォトダイオードに同時に入射した光を光電変換して得られた電荷を電圧に変換して出力するようにしているため、フィールドシャッター機能を実現でき、同じ時刻での静止画を得ることができる。以上より、従来に比べて高画質の静止画を撮像できる。

【0068】ところで、画素の面積が限られているのに、トランジスタの数をどんどん増やしていくと、それに応じてフォトダイオードの面積が減っていくことになる。すると、フォトダイオードで発生する電荷量Qが少なくなってしまう。イメージセンサとして明るさに対する感度は低くなってしまふ。しかしながら、本実施の形態の構成では、上記のフォトダイオードの面積の低下は不利とはならず、むしろ有利に働く。

【0069】すなわち、この実施の形態では、端子T1の電位の変化 $\Delta V=[\Delta V \cdot Q/C_{px1}]$ で表せられるから、Cpx1を小さくすると、電荷電圧変換率を高くすることができる。従って、フォトダイオードの面積が小さくなった割合だけCpx1を小さくすると、感度は一定になる。さらに、容量Cpx1を小さくすればするほ

ど、感度は高くなるので有利となる。

【0070】これに対し、図8や図9に示した従来の構成では、(3)式及び(4)式から分かるように、容量 C_{px1} を小さくすると、 $kTCノイズ$ が大きくなるため、従来では C_{px1} を小さくすることはできない。しかし、本実施の形態の構成にすれば、フィールドシャッター動作と $kTCノイズ$ の除去が同時に可能になるため、 C_{px1} を小さくでき、フォトダイオードの面積も小さくできる。従って、微細化に有利な構成である。

【0071】次に、本発明の第2の実施の形態について説明する。本発明の特徴は光電変換を行うフォトダイオードと、フォトダイオードの発生させたキャリアを一時的に保持するサイトと、キャリアの電荷を電圧に変換するサイトをそれぞれ独立させる構成にある。ここで、キャリアを一時的に保持するサイトの構成は、コンデンサでなく、別の方法も可能である。そこで、この第2の実施の形態は、MOSゲートにより、キャリアを保持するようにしたものである。

【0072】図2は本発明になる固体撮像装置の第2の実施の形態の1画素分の等価回路図を示す。同図中、図1と同一構成部分には同一符号を付してある。この第2の実施の形態では、図1のコンデンサ C_{ex} の代わりに、図2に示すように、MOSのゲート M_{ccd} をトランジスタ $M5$ と $M6$ に接近して配置し、MOSゲート M_{ccd} の下に電荷を保持できる構造の画素2dを用いる点に特徴がある。この時のポテンシャルと電荷の移動の様子を図3に示す。なお、図1と同様に、 C_e は調整用の付加容量なので、省略することが機能である。

【0073】次に、本実施の形態の動作について図2及び図3と共に説明する。なお、画素2dは、固体撮像装置の最上行、最下行でない、どこか中間の行のある列の画素であるとする。動作サイクル説明の出発点として、この画素2dからの前回の信号の出力が終わったばかりであるというところから始める。

【0074】この状態では、トランジスタ $M1$ 、 $M6$ はオフであり、端子 $T1$ は電気的に浮いた状態にある。端子 $T1$ には前回のサイクルで、フォトダイオードPDが光電変換し、トランジスタ $M5$ 、 M_{ccd} 、 $M6$ を通して転送されてきた電荷がそのまま残っている。トランジスタ $M3$ もオフとなっており、この画素2dから列信号線への出力はない。一方、トランジスタ $M5$ もオフとなっており、フォトダイオードPDは電気的に他から分離された状態で図3(A)のように光電変換を行い、図3(B)のように電荷を蓄積している。また、 M_{ccd} もオフとなっており、電荷が蓄えられない状態で、電荷が無い状態である。

【0075】このような状態で、画素2dはCDS回路5が他の行の画素の処理を終了するのを待っている。すべての画素からの信号読み出しが終了し、光電変換開始から所定の時間が経過すると、図3(C)のようにトラ

ンジスタ $M5$ 、MOSゲート M_{ccd} が画素2dを含めた全画素で一斉にオンする。すると、フォトダイオードPDに蓄積されていた電荷 Q は全画素と同時に、それぞれのトランジスタ $M5$ を通してそれぞれのMOSゲート M_{ccd} の直下の方向に転送される。この結果、フォトダイオードPDの電荷は無くなり、リセットされる。

【0076】電荷転送終了後、図3(D)に示すように、トランジスタ $M5$ はオフとされ、電荷はすべてMOSゲート M_{ccd} の直下に転送される。再びフォトダイオードPDは光電変換して電荷の蓄積を開始する。一方、 M_{ccd} はオンのままになっており、ゲートの下に電荷を保持し続ける。画素2dはこのような状態で、CDS回路5が他の行の画素を処理している間、待機し続ける。

【0077】その後、注目している画素2dの処理が始まると、画素2dは端子 $T1$ のリセット動作を行う。つまり、図示していない制御回路からハイレベルの信号がトランジスタ $M1$ のゲート電極に印加され、 $M1$ をオンにする。この時、トランジスタ $M3$ 、 $M6$ はオフのままである。その結果、端子 $T1$ の電位は $(V_{dd} - V_{thrst})$ となる。ここで、 V_{dd} は電源電圧、 V_{thrst} はトランジスタ $M1$ のしきい値電圧である。

【0078】その後、トランジスタ $M1$ のゲート電極への信号がローレベルとなり、 $M1$ がオフとされる。これにより、端子 $T1$ は電気的に浮いた状態に戻り、リセット動作が完了する。この時、端子 $T1$ には $kTCノイズ$ 成分 V_{kctc} が乗るので、端子 $T1$ の電位は $(V_{dd} - V_{thrst} + V_{kctc})$ となる。

【0079】一方、CDS回路5でも画素2dの信号処理をするための準備を行う。すなわち、スイッチ $S1$ 、 $S2$ を閉じ、端子 $C2a$ 、 $C1b$ を基準電位 V_{ref} にする。この状態でトランジスタ $M3$ のゲート電極へ図示しない制御回路からハイレベルの信号が印加されることにより、 $M3$ がオンとされるため、列信号出力線、つまり端子 $C2b$ には $(V_{dd} - V_{thrst} + V_{kctc} - V_{thamp})$ の電位が出力される。ここで、 V_{thamp} は増幅用トランジスタ $M2$ のしきい値電圧である。この結果、コンデンサ $C2$ には $(V_{dd} - V_{thrst} + V_{kctc} - V_{thamp} - V_{ref})$ の電位差がかかる。

【0080】次に、CDS回路5はスイッチ $S2$ を開きオフとし、端子 $C2a$ (=端子 $C1b$)を浮いた状態にする。ここで、トランジスタ $M6$ がそのゲート電極に図示しない制御回路からハイレベルの信号が印加されることにより、図3(E)に示すように $M6$ がオンとされる。一方、MOSゲート M_{ccd} にはローレベルの信号を印加すると、 M_{ccd} 直下にあった電荷 Q がトランジスタ $M6$ を通して端子 $T1$ へ転送される。電荷転送完了後トランジスタ $M6$ はオフとされ、図3(F)に示すように、すべての電荷が端子 $T1$ に転送される。

【0081】この結果、端子T1には電荷Qによる電位変化が生じる。端子T1の容量Cpx1は、コンデンサCeの容量と、トランジスタM2のゲート容量Campと、トランジスタM1の拡散容量Crstと、配線の浮遊容量Cfとからなっているが、ここに電荷Qが入ることにより、 $\Delta V = Q / C_{px1}$ の電位変化が発生する。従って、端子T1の電位は、 $(V_{dd} - V_{thrst} + V_{ktc} + \Delta V)$ となる。

【0082】端子T1に電位変化が起ると、それはトランジスタM2によるソースフォロワ回路により増幅され、更にオン状態にあるトランジスタM3を通して列信号出力線、つまり端子C2bへ伝えられる。これにより、端子C2bの電位は、 $(V_{dd} - V_{thrst} + V_{ktc} - V_{thamp} + \Delta V)$ となる。つまり、端子C2bに生じた電位変化は、 $(V_{dd} - V_{thrst} + V_{ktc} - V_{thamp} + \Delta V) - (V_{dd} - V_{thrst} + V_{ktc} - V_{thamp}) = \Delta V$ で、フォトダイオードPDの光電変換による電荷量Qによる成分のみの影響しか受けておらず、kTCノイズの影響も無い。

【0083】この端子C2bの電位変化に応じて、電気的に浮いた状態である端子C2a (=端子C1b)は、コンデンサC1、C2が直列につながった比例分 $V_{ref} + [\Delta V \cdot C1 / (C1 + C2)]$ の電位変化が生じる。その後、スイッチS1を開いてオフとし、コンデンサC1に上記の電位変化である処理結果を保持する。そして、トランジスタM3がオフとされて画素2cからの出力が無くなる。

【0084】その後、図示しない水平シフトレジスタによりスイッチS3がオンとされ、コンデンサC1に保持されていた画素2dの処理結果がスイッチS3を通して画素信号として出力される。続いて、スイッチS3が再び開かれてオフとされ、この画素2dにおけるサイクルが一つ終了する。後は再び最初から同じことが繰り返される。

【0085】なお、上記の実施の形態の動作の説明は一例であり、これに限定されるものではない。例えば、端子T1のトランジスタM1によるリセットは、上記の説明では端子T1のリセット電位を出力する直前に行っているが、これに限定されるものではなく、前回の信号出力が終わってから、次の信号出力動作までのどこかで1回行えばよい。

【0086】以上の動作により、差し引きする信号とバックグラウンドノイズは同じタイミングで行なったりリセット電位で取っているため、kTCノイズはキャンセルされる。また、全画素同一時刻の光電変換した電荷が順次に水平シフトレジスタから出力されるため、フィールドシャッター機能が実現される。

【0087】次に、本発明の第3の実施の形態及び第4の実施の形態について説明する。図4は本発明になる固体撮像装置の第3の実施の形態の一画素の等価回路図、

図5は本発明になる固体撮像装置の第4の実施の形態の一画素の等価回路図を示す。両図中、図1、図2と同一構成部分には同一符号を付し、その説明を省略する。

【0088】これまでの第1及び第2の実施の形態では、フォトダイオードPDのリセットはキャリア（電荷）を転送するという行為により行われていた。しかしこの方法では、フォトダイオードPDのリセットは1フィールドに1回であり、いつも固定した露光時間になってしまう。これではシャッター速度を自由にできないので、フォトダイオードPDに独立したフォトダイオードリセット用トランジスタをつければ便利である。

【0089】そこで、図4に示す本発明の第3の実施の形態では、第1の実施の形態の画素にフォトダイオードリセット用トランジスタM7を設けたものであり、図5に示す本発明の第4の実施の形態では、第2の実施の形態の画素にフォトダイオードリセット用トランジスタM7を設けたものである。すなわち、図4及び図5において、フォトダイオードPDのN型層が、MOS型電界効果トランジスタM7のソース、ドレインを介して電源電圧Vddに接続されている。

【0090】これにより、図4及び図5では、トランジスタM7のゲートにハイレベルのリセット信号を印加すると、トランジスタM7がオンになり、トランジスタM7のドレイン、ソースを介して電源電圧VddがフォトダイオードPDのN型層に印加されて、これをリセットする。すなわち、フォトダイオードPDのキャリアが転送され終わらなくても、トランジスタM7を任意のタイミングでオンすることにより、フォトダイオードPDを任意のタイミングでリセットすることができる。従って、第3及び第4の実施の形態では、シャッター時間を自由に設定できることになる。

【0091】また、図5の第4の実施の形態では、キャリア保持部分をCCDタイプのMOSゲートMccdで構成しているので、MOSゲートMccdの電位によりMOSゲートMccd直下のキャリアが保持される部分の電位を自由に動かすことができる。これにより、有利な動作モードで動作することができる。

【0092】次に、本発明の第4の実施の形態の他の動作モードについて説明する。ダイナミックレンジを広げる方法として、従来より、シャッター時間の短いものと長いものを足し合わせるという方法が知られている。シャッター時間の長いものは、例えば10msecであり、短いものは例えば0.5msecである。

【0093】周知のように、シャッター時間が長い場合は、暗いところがよく写るが、明るいところはべたな白になってしまう。一方、シャッター時間が短い場合は、明るいところの写りは良くなるが暗いところがべたな黒になってしまう。従って、両方の情報を足し合わせれば、暗いところも明るいところも一緒に写すことができる。

【0094】以下、この第4の実施の形態の他のモードの動作について、図6（A）に示した構成に基づいて具体的に説明する。同図（A）中、図5と同一構成部分には同一符号を付してある。なお、トランジスタM7、M1～M3の図示は省略してある。まず、フォトダイオードPDをリセットしてから、シャッター時間が長い方の時間T1の間光電変換を行う。続いて、MOSゲートMcc dのチャネルのポテンシャルが、Mcc dのゲート電極にV d dの電位をかけた時のポテンシャルの約半分になるような第1の電位をMcc dのゲート電極にかけ

る。【0095】この状態でトランジスタM5をオンすると、図6（B）に示すように、トランジスタM5を通してMOSゲートMcc dの下にキャリア（電荷）が転送される。続いて、トランジスタM5をオフとする。これにより、図6（B）に示すように、トランジスタM5のポテンシャルの電位が高くなり、MOSゲートMcc dの直下に電荷が保持される。

【0096】次に、再びフォトダイオードPDをリセットした後、シャッター時間が短いTsだけ光電変換を行う。この光電変換により、図6（C）に黒丸で模式的に示すように、フォトダイオードPDに電荷が蓄積される。続いて、MOSゲートMcc dのゲート電極に第1の電位より大きい第2の電位、例えばV d dを印加する。これにより、Mcc d直下のポテンシャルの電位は直前の状態よりも更に深くなる。

【0097】この状態で、トランジスタM5をオンすると、図6（D）に示すように、MOSゲートMcc dに、フォトダイオードPDに蓄積されていた電荷がトランジスタM5を通して流れ、前回のシャッター時間T1のときの電荷に、今回のシャッター時間Tsの電荷がMcc dの下で足し合わされる。この様にできた電荷をT1に出力すれば、ダイナミックレンジの広がった信号を出力することができる。

【0098】なお、これまでの説明ではNMOS FETを使っているが、N型、P型を入れ替え、電圧の方向を逆にすれば、PMOS FETでも同様の効果が得られることは勿論である。

【0099】

【発明の効果】以上説明したように、本発明によれば、全画素のフォトダイオードで同時に光電変換して得られた電荷をコンデンサやMOSゲートなどの電荷蓄積部に蓄積した後、出力手段を通して外部へ出力するに際し、リセット用トランジスタ及び出力手段を動作させて所定電位をノイズキャンセラへ送出してから、電荷蓄積部に蓄積された電荷に対応した信号を出力手段を通してノイズキャンセラへ出力することにより、ノイズキャンセラにおいてフォトダイオードの光電変換によって生じた電荷に比例した信号成分だけを取り出すようにしたため、全画素同時光電変換によるフィールドシャッター動作

と、ノイズキャンセラでのバックグラウンドノイズの除去（kTCノイズ除去）とを同時に行うことができ、これにより高画質の静止画を撮像することができる。

【0100】また、本発明によれば、長い方の第1のシャッター時間でフォトダイオードで光電変換した電荷に、短い方の第2のシャッター時間でフォトダイオードで光電変換した電荷を、MOSゲートの直下で足し合わせるようにしたため、ダイナミックレンジの広がった信号を出力することができる。

【0101】更に、本発明によれば、リセット用トランジスタと第2の電荷転送用トランジスタと出力手段との共通接続端子における容量に反比例した電圧が、この共通接続端子に生じるように構成しているため、フォトダイオードの面積を小さくするのに対応して上記の容量が小さくできることから、微細化に有利な構成とすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の一面素分の等価回路図である。

【図2】本発明の第2の実施の形態の一面素分の等価回路図である。

【図3】図2の要部のポテンシャルと電荷の移動の様子を示す図である。

【図4】本発明の第3の実施の形態の一面素分の等価回路図である。

【図5】本発明の第4の実施の形態の一面素分の等価回路図である。

【図6】本発明の第4の実施の形態の他のモードの動作を説明する図である。

【図7】固体撮像装置全体の一例の構成図である。

【図8】従来の固体撮像装置の一例の一面素分の等価回路図である。

【図9】従来の固体撮像装置の他の例の一面素分の等価回路図である。

【図10】ある容量Cの電位をある電位Vにすることを示す図である。

【符号の説明】

1 垂直シフトレジスタ

2 c、2 d 第1、第2の実施の形態の画素

3 負荷およびノイズキャンセラ

4 水平シフトレジスタ

5 CDS回路

6 負荷

PD フォトダイオード

M1 リセット用電界効果トランジスタ

M2 増幅用電界効果トランジスタ（出力手段）

M3 出力用電界効果トランジスタ（出力手段）

M5、M6 電荷転送用トランジスタ（第1、第2の電荷転送用トランジスタ）

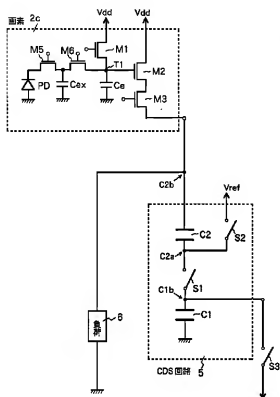
50 M7 フォトダイオードリセット用電界効果トランジスタ

タ

M c c d MOS ゲート

C e x 電荷蓄積用コンデンサ

【图 1】



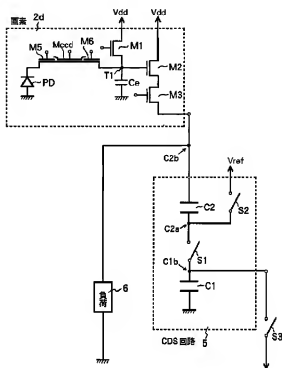
24

* C e 変換部の容量調整用コンデンサ

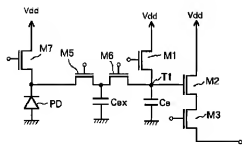
S1、S2、S3 スイッチ

* T1 端子

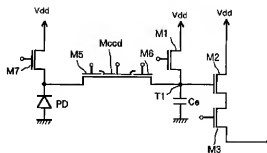
【圖2】



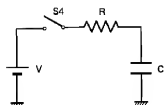
【图4】



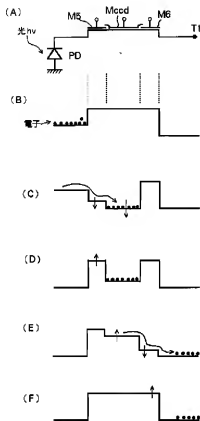
【图 5】



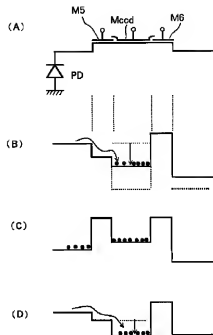
【☐ 1 0】



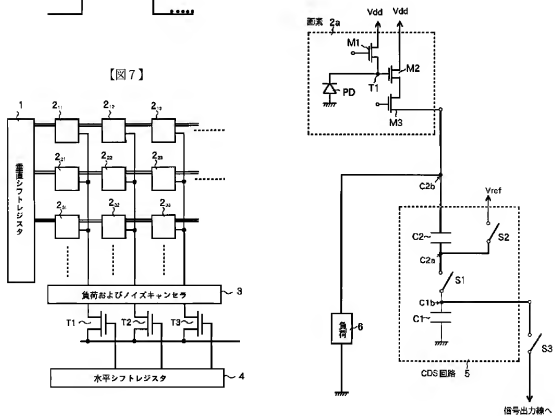
【図3】



【図6】



【図8】



【図7】

